

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 62211955
PUBLICATION DATE : 17-09-87

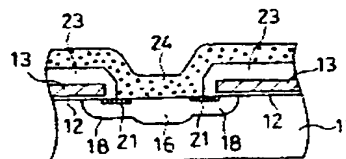
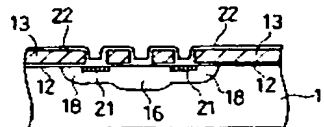
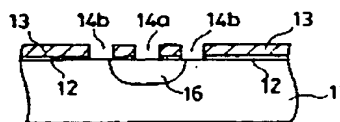
APPLICATION DATE : 12-03-86
APPLICATION NUMBER : 61056333

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : MITARAI GORO;

INT.CL. : H01L 29/78 H01L 29/52

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To obtain a metal oxide semiconductor field effect transistor (MOSFET) having stabilized characteristics by a method wherein the apertures, to be used for formation of each diffusion region of a high density impurity region, a channel region and a source region, are perforated simultaneously by the same process.

CONSTITUTION: A gate oxide film 12 and a polycrystalline silicon film 13, as gate electrode, are formed on an N-type semiconductor substrate 11. The prescribed first aperture part 14a and the second aperture part 14b, to be used for formation of diffusion layers, are perforated simultaneously by selectively performing a patterning on said films 12 and 13, and a high density P-type impurity region 16 is formed by implanting boron through the first aperture part 14a. Then, boron is selectively implanted through the second aperture part 14b, and a P-type impurity region 18 is formed. Then, a high density N-type impurity region 21, which becomes a source region, is formed by selectively diffusing phosphorus from the part corresponding to the second aperture part 14b, an oxide film is then deposited on the whole surface, an aperture to be used to lead out an electrode is perforated, and an aluminum wiring layer is wired.

COPYRIGHT: (C)1987,JPO&Japio

THIS PAGE BLANK (USP 10)

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭62-211955

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)9月17日

H 01 L 29/78
29/52

8422-5F

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭61-56333

⑰ 出 願 昭61(1986)3月12日

⑱ 発 明 者 薩 摩 和 正 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 発 明 者 御 手 洗 五 郎 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大 岩 増 雄 外 2 名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 第1導電型の半導体基板上に、ゲート酸化膜およびゲート電極膜を形成させる工程と、これらの両膜を選択的にパターンニングして、それぞれの拡散層形成のための、所定の第1および第2の開口部を同時に開口させる工程と、第2の開口部を閉塞した上で、第1の開口部から不純物を拡散して高濃度の第2導電型領域を形成する工程と、前記第2の開口部から不純物を拡散して第2導電型のチャネル領域を形成する工程と、前記第1の開口部を閉塞した上で、前記第2の開口部から不純物を拡散して第1導電型の高濃度のソース領域を形成する工程を含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体装置の製造方法に関し、特に

絶縁ゲート型電界効果トランジスタの製造方法の改良に係るものである。

(従来技術)

従来例によるこの種の半導体装置の製造方法として、MOS型電界効果トランジスタ(以下MOSFETと呼ぶ)の製造工程を第2図(a)ないし(i)に示す。

すなわち、これらの各図において、従来例方法の場合には、まず、 n 型半導体基板31上に成長させた酸化膜32を選択的にパターンニングして開口部33を開口させ(第2図(a))、この開口部33から選択的にボロンをイオン注入により拡散し、かつ所定の深さまでドライブして高濃度 p 型不純物領域34を形成する(同図(b))。

ついで、前記表面の酸化膜32を除去し、その上にゲート酸化膜35、およびゲート電極としての多結晶シリコン膜36を形成すると共に(同図(c))、先に形成した前記高濃度 p 型不純物領域34に対応する所定位置の多結晶シリコン膜36、およびゲート酸化膜35の部分に開口部37,37を選択的に開口

し(同図(d))、この開口部37,37から選択的にボロンをイオン注入により拡散させ、かつ所定の深さまでドライブして、チャネル領域を含むp型不純物領域38を形成する(同図(e))。

次に、表面に形成される酸化膜39を除去した上で(同図(f))、前記開口37,37から選択的にリンを拡散してソース領域となる高濃度n型不純物領域40,40を形成し(同図(g))、その後、この拡散によつて生じた酸化膜41と、前記リンの拡散マスクとして使用した該部分の酸化膜35、および多結晶シリコン膜36とを選択的に除去した上で、全面に酸化膜42を堆積させ、かつ電極取り出し用の開口部43を開口させ(同図(h))、最後に、アルミニウム配線層44を配線して完成する(同図(i))のである。

また、このようにして得た縦型構造のMOSFETの拡大した構成を第3図に示してある。

(発明が解決しようとする問題点)

こゝで、前記構成による従来例での縦型構造のMOSFETにあつては、その構成上、本質的にソース

3

そしてまた、同様な現象は、縦型構造のMOSFETをスイッチングさせた場合にも発生する。これは前記p型不純物領域34,38とn型半導体基板31とからなる接合の変位電流が、同様にソースn型不純物領域40をバイアスさせるためである。

すなわち、前記のように、この従来例構成においては、寄生のnpnトランジスタがONすることによつて保持電圧の低下が起り、あるいはまたこの寄生のnpnトランジスタの破壊耐量が小さいことから、素子破壊を生ずる恐れがあるなどの不都合を有している。

しかしてこのような現象を回避するのには、前記した横方向電流による電圧降下を小さくして、ソースn型不純物領域40のバイアスを0.6V以下にすれば良く、このためにこそ高濃度のp型不純物領域34が設けられているのであるが、しかし一方で、この従来例装置においては、同p型不純物領域34を形成するための開口部33が、p型不純物領域38,38およびソースn型不純物領域40を形成するための開口部37,37とは別の製造工程であけら

5

n型不純物領域40とp型不純物領域34,38とn型半導体基板31とからなる寄生のnpnトランジスタを内蔵しており、このために第3図に示すような電流の流れがあると、この電流によるオーミックな電圧効果により、p型不純物領域34,38内に横方向の電界を生じ、ソースn型不純物領域40をこのp型不純物領域34,38に対して負にバイアスすると云う現象が起き、かつこのバイアスが約0.6Vに達した場合には、この寄生npnトランジスタがONして電流が流れ始めることになる。

つまり例えば、対応するところの、こゝではソース電極44とドレイン電極45に電圧を印加して、p型不純物領域34,38とn型半導体基板31とからなる接合を降伏させた場合、その特性は、第4図に示したように、降伏電圧VBで立上つたのち、ある降伏電流に達した時点で保持電圧の低下が起るもので、これは先に述べた通り、降伏電流の横方向の流れによつて、ソースn型不純物領域40がバイアスされ、かつ寄生トランジスタがONした結果である。

4

れており、このために工程間でのズレによつて、各p型不純物領域38,38のそれぞれでその抵抗値に差を生じ、ズレのない場合に比較するとき、大きい方の抵抗の抵抗値が、具体的により大きくなるもので、しかも通常、工程間のズレは生ずるのが当然であつて、このことはソースのバイアス効果が予想以上に大きく現われることを意味し、このために従来例によるMOSFET構造の場合には、工程間のズレによつて、破壊耐量の低下、およびバラツキを避け得ないと云う問題点があつた。

この発明方法は従来でのこのような問題点を改善するためになされたもので、その目的とするところは、工程間のズレに伴う破壊耐量の低下、およびバラツキを生ずる恐れのない半導体装置の製造方法を提供することである。

(問題点を解決するための手段)

前記目的を達成するために、この発明方法は、従来例装置の場合、ソース形成領域およびチャネル形成領域の工程とは別の工程で、高濃度p型領域を形成していたのに対し、それぞれの領域形成

6

のための開口部を同一工程で同時に開口させるようにしたものである。

(作 用)

従つて、この発明方法の場合には、各拡散領域形成のための開口部を同一工程で同時に開口させるようにしたので、工程間でのバラツキを解消して、それぞれの拡散を自己整合的に行なうことが可能となり、これによつて各抵抗分布、ならびに素子破壊耐量のバラツキを効果的に改善できるのである。

(実 施 例)

以下、この発明に係る半導体装置の製造方法の一実施例につき、第1図(a)ないし(i)を参照して詳細に説明する。

第1図(a)ないし(i)はこの実施例方法を適用したMOSFETの製造工程を順次に示すそれぞれ断面図である。

この実施例方法においては、まず、 n 型(第1導電型)半導体基板11上にあつて、ゲート酸化膜12、およびゲート電極としての多結晶シリコン膜

7

つて生ずる表面の酸化膜19を除去した上で(同図(a))、今度は、前記第2の開口部14b,14bに対応する部分から選択的にリンを拡散してソース領域となる高濃度 n 型不純物領域21,21を形成し(同図(b))、その後、この拡散によつて生じた表面の酸化膜22と、前記リンの拡散マスクとして使用した該当部分の酸化膜19、および多結晶シリコン膜13とを選択的に除去した上で、全面に酸化膜23を堆積させ、かつ電極取り出し用の開口をあけ、最後に、アルミニウム配線層24を配線して完成する(同図(i))のである。

従つてこの実施例方法により製造されたMOSFET構造においては、各拡散領域、つまり高濃度 p 型不純物領域18と、チャネル領域としての p 型不純物領域18,18と、それにソース領域としての高濃度 n 型不純物領域21,21とを形成するための各開口部、こゝでは第1および第2の開口部14aおよび14b,14bが、共に同一工程で同時に開口されることから、各工程および工程間でのバラツキを解消して、各領域それぞれの拡散形成を自己整合的

9

13を形成させ(第1図(a))、これらの両膜12,13を選択的にパターニングして、それぞれの拡散層形成のための、所定の第1の開口部14aおよび第2の開口部14b,14bを共に同時に開口させ(同図(b))、かつ第1の開口部14a以外の第2の開口部14b,14bをレジスト15により閉塞した上で、第1の開口部14aから選択的にボロンをイオン注入により拡散し(同図(c))、かつ所定の深さまでドライブして高濃度 p 型(第2導電型)不純物領域16を形成する(同図(d))。

ついで、前記の拡散によつて生ずる表面の酸化膜17を除去した上で、今度は、先に閉塞されていた前記第2の開口部14b,14bに対応する部分から選択的にボロンをイオン注入により拡散し(同図(e))、かつ所定の深さまでドライブして、前記した高濃度 p 型不純物領域16に接するところの、チャネル領域を含む p 型不純物領域18,18を形成する(同図(f))。

次に、前記第1の開口部14aに対応する部分をレジスト20により閉塞すると共に、前記拡散によ

8

に行なうことが可能となり、これによつて各抵抗分布、ならびに素子破壊耐量などのバラツキを効果的に改善できる。

そしてまた、実際の製造作業にあつても、従来例方法の場合、各拡散領域間のズレを少なくするために、極めて厳しい制御を必要としていたが、この実施例方法では、同一工程ですべての拡散用開口部を同時に開口させることから、製造作業のバラツキに対する余裕度が大きくなると云う利点もある。

なお、前記実施例方法では、 n 型半導体基板を用いる場合について述べたが、 p 型半導体基板を用いても同様な効果が得られるものであり、また多結晶シリコン膜以外のゲート電極膜、および酸化膜以外の絶縁膜を用いても良いことは勿論である。

(発明の効果)

以上詳述したようにこの発明によれば、MOSFET構造の製造において、高濃度不純物領域、チャネル領域、およびソース領域の各拡散領域形成のた

10

めの開口部を、同一工程で同時に開口させるようにしたので、工程間でのバラツキを解消して、構造自体の各抵抗分布、ならびに素子破壊耐量のバラツキを改善でき、また製造作業のバラツキに対する余裕度を大きくとることが可能になる、つまり製造作業が簡単になり、安定した特性のMOSFETを再現性良く容易に製造し得るなどの優れた特長を有するものである。

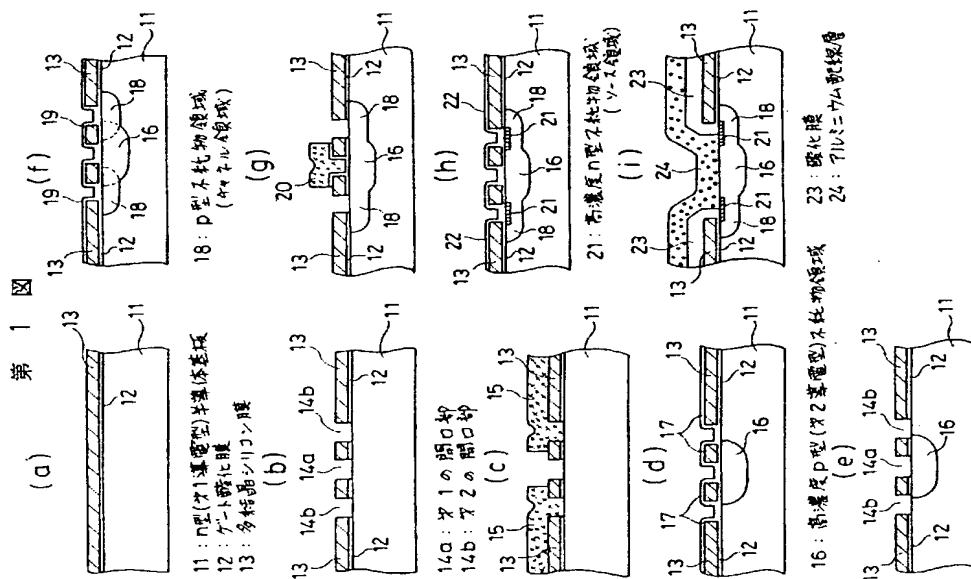
4. 図面の簡単な説明

第1図はこの発明に係る半導体装置の製造方法の一実施例による概要を工程順に示すそれぞれ断面図であり、また第2図は従来例での半導体装置の製造方法による概要を工程順に示すそれぞれ断面図、第3図は同上方法によつて得たMOSFET構造を示す拡大断面図、第4図はMOSFETの保持電圧と降伏電流との関係を示す説明図である。

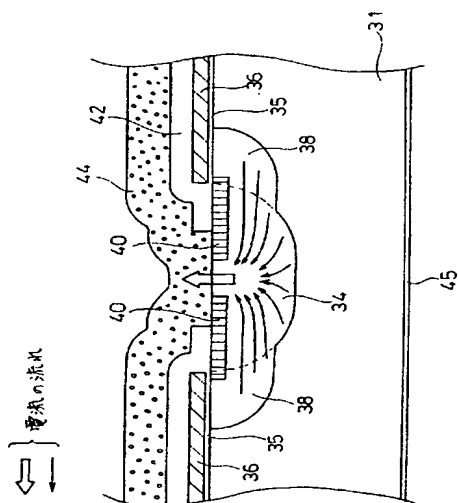
11……n型(第1導電型)半導体基板、12……ゲート酸化膜、13……多結晶シリコン膜、14a……第1の開口部、14b……第2の開口部、16……高濃度p型(第2導電型)不純物領域、18……p

型不純物領域(チャネル領域)、21……高濃度n型不純物領域(ソース領域)、23……酸化膜、24……アルミニウム配線層。

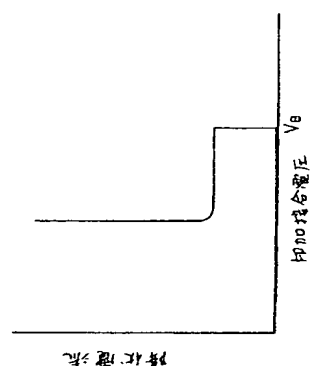
代理人 大 岩 増 雄



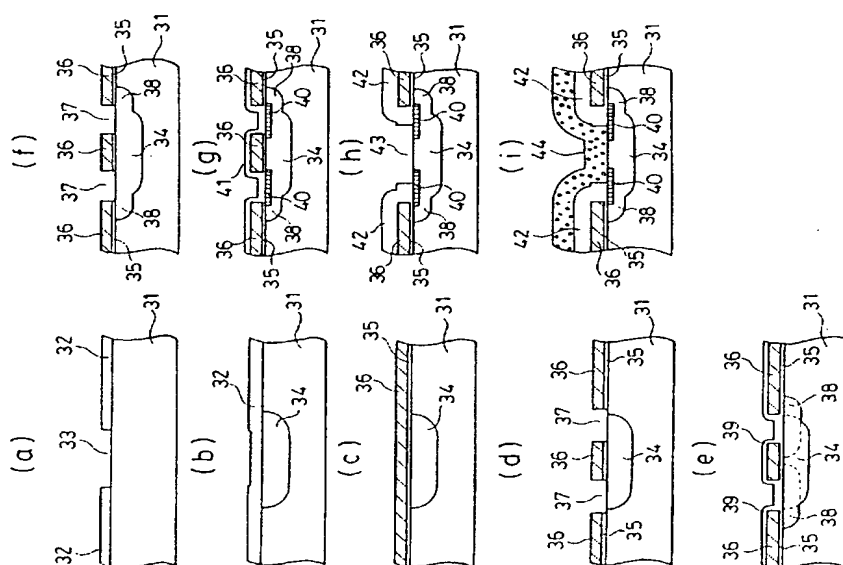
第 3 図



第 4 図



第 2 図



BEST AVAILABLE COPY

特開昭62-211955(6)

手続補正書(自発)

昭和 61 年 8 月 5 日

特許庁長官殿

1. 事件の表示 特願昭 61-56333号

2. 発明の名称

半導体装置の製造方法

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375)弁理士 大 岩 増 雄
(連絡先03(213)3421特許部)

5. 補正の対象

明細書の特許請求の範囲の欄

6. 補正の内容

明細書の特許請求の範囲を別紙のとおり補正する。

以 上

(1) 方式
審査



特許請求の範囲

(1) 第1導電型の半導体基板上に、ゲート絶縁膜およびゲート電極膜を形成させる工程と、これらの両膜を選択的にパターニングして、それぞれの拡散層形成のための、所定の第1および第2の開口部を同時に開口させる工程と、第2の開口部を閉塞した上で、第1の開口部から不純物を拡散して高濃度の第2導電型領域を形成する工程と、前記第2の開口部から不純物を拡散して第2導電型のチャネル領域を形成する工程と、前記第1の開口部を閉塞した上で、前記第2の開口部から不純物を拡散して第1導電型の高濃度のソース領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。